

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-190807

(43)Date of publication of application : 30.07.1993

(51)Int.Cl.

H01L 27/112

H01L 21/76

H01L 27/06

(21)Application number : 04-026028

(71)Applicant : YAMAHA CORP

(22)Date of filing : 17.01.1992

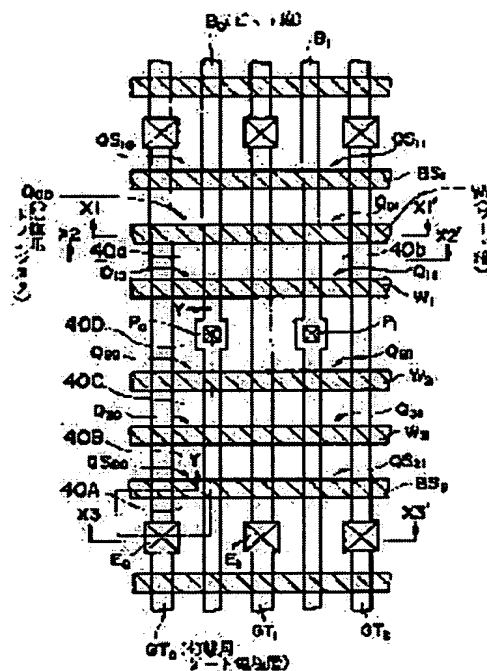
(72)Inventor : HANAGASAKI OSAMU

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor storage device having the high integration density by using a gate electrode layer for isolating elements as one power- supply interconnection layer, and forming a conducting layer for a bit line at the wiring level higher than the interconnection layer.

CONSTITUTION: A grounding potential is imparted to isolating gate electrode layers GT0-GT2, and the gate electrode layers are used as grounding-side power- supply interconnection layers. The surface region of a semiconductor immediately beneath each gate electrode layer becomes the nonconductive state. Transistors Q00, Q01 and the like are electrically isolated. In this element isolating structure, the gate interval can be reduced to the machining limit of each of gate electrode layers GT0-GT2. The wiring level of conductor layers as bit lines B0 and B1 is different from that of the gate electrode layers GT0-GT2. Therefore, the bit-line interval can be decreased in conformity with the decrease in gate interval, and the integration density can be improved to a large extent in comparison with a conventional structure.



LEGAL STATUS

[Date of request for examination] 16.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3227754

[Date of registration] 07.09.2001

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-190807

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/112				
21/76	S	9169-4M		
27/06		8728-4M	H 0 1 L 27/ 10	4 3 3
		7342-4M	27/ 06	1 0 2 D
			審査請求	未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-26028

(22)出願日 平成4年(1992)1月17日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 花ヶ崎 治

静岡県浜松市中沢町10番1号ヤマハ株式会社内

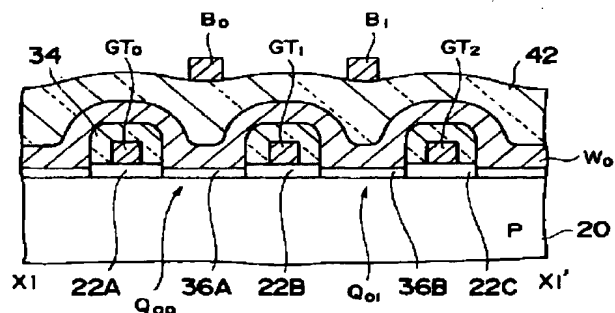
(74)代理人 弁理士 伊沢 敏昭

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 MOS型ROM等の半導体記憶装置において、素子間分離構造を改良して集積度の向上を図る。

【構成】 半導体基板20の表面にゲート絶縁膜22A、22B、22Cをそれぞれ介して接地側電源配線層と兼用の素子間分離用ゲート電極層GT₀、GT₁、GT₂を並列的に形成すると共に、GT₀-GT₁間及びGT₁-GT₂間にはそれぞれゲート絶縁膜36A及び36Bを有する情報記憶用絶縁ゲート型トランジスタQ₀₀及びQ₀₁を形成する。Q₀₀、Q₀₁のゲート電極層をワード線W₀と一体的に形成する一方、Q₀₀、Q₀₁のソース領域を電極層GT₀、GT₁にそれぞれ接続し、Q₀₀、Q₀₁のドレイン領域をワード線W₀と交差するビット線B₀、B₁にそれぞれ接続する。電極層GT₀～GT₂に接地電位を与えて各々の直下の半導体表面領域を非導通とすることでQ₀₀-Q₀₁間を電氣的に分離する。



【特許請求の範囲】

【請求項1】(a)半導体基板と、

(b)この半導体基板の表面にゲート絶縁膜を介して形成された素子間分離用のゲート電極層であって、一方の電源配線層として使用されるものと、

(c)前記半導体基板の表面及び前記ゲート電極層から電氣的に絶縁された状態で該ゲート電極層に重なり且つ交差するように形成されたワード線用の導電層と、

(d)前記半導体基板の表面において前記素子間分離用のゲート電極層の一方側及び他方側にそれぞれ形成された情報記憶用の第1及び第2の絶縁ゲート型トランジスタであって、各々のゲート電極層が前記ワード線用の導電層により構成されると共に各々のソース領域が前記素子間分離用のゲート電極層に電氣的に接続されるものと、

(e)前記導電層を覆う絶縁膜の上に形成された第1及び第2のビット線用の導電層であって、それぞれ前記第1及び第2の絶縁ゲート型トランジスタのドレイン領域と電氣的に接続されるものとをそなえ、

前記素子間分離用のゲート電極層に所定の電源電位を与えて該ゲート電極層を前記一方の電源配線層として使用するとき該ゲート電極層の直下の半導体表面領域が非導通状態になるようにしたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、MOS型ROM等の半導体記憶装置に関し、特に素子間分離用のゲート電極層を設けると共にこのゲート電極層を一方の電源配線層として使用することにより集積度の向上を図ったものである。

【0002】

【従来の技術】従来、MOS型(絶縁ゲート型)トランジスタを用いたROMとしては、図11に示すようなNAND形式のものが知られている。

【0003】図11において、 $Q_{00} \sim Q_{31}$ 及び $Q_{S_{00}} \sim Q_{S_{31}}$ はいずれもNチャンネル形式の絶縁ゲート型トランジスタであり、 $Q_{00} \sim Q_{31}$ は情報記憶用のもの、 $Q_{S_{00}} \sim Q_{S_{31}}$ ワードブロック選択用のものである。情報記憶用のトランジスタ $Q_{00} \sim Q_{31}$ のうち論理レベル「L」の情報を記憶するものは、イオン注入処理等によりスレッショルド電圧を制御してゲート電圧がゼロでもドレイン電流が流れるように(デプレッションモードに)してある。【0004】ビット線 B_i と接地側の電源線 GND_i との間には、トランジスタ Q_{0i} 、 Q_{1i} 、 $Q_{S_{0i}}$ が直列接続されると共に、トランジスタ Q_{2i} 、 Q_{3i} 、 $Q_{S_{2i}}$ が直列接続されている。また、ビット線 B_i と接地側の電源線 GND_i との間には、トランジスタ Q_{0i} 、 Q_{1i} 、 $Q_{S_{0i}}$ が直列接続されると共に、トランジスタ Q_{2i} 、 Q_{3i} 、 $Q_{S_{2i}}$ が直列接続されている。 S_{1i} が直列接続されている。【0005】トランジスタ $Q_{S_{0i}}$ 、 $Q_{S_{1i}}$ のゲートはブロック選択線 BS_i に接続される一方、トランジスタ Q_{0i} 、 Q_{1i} のゲートはワード線 W_i に接続され、トランジスタ Q_{2i} 、 Q_{3i} のゲートはワード線 W_i に接続されている。ワード線 W_0 、 W_1 に接続された情報記憶用トランジスタが第1のワードブロックを構成しており、ブロック選択線 BS_i の論理レベルを「H」にすると、トランジスタ $Q_{S_{0i}}$ 、 $Q_{S_{1i}}$ が導通して第1のワードブロックが選択される。【0006】トランジスタ $Q_{S_{0i}}$ 、 $Q_{S_{1i}}$ のゲートはブロック選択線 BS_i に接続される一方、トランジスタ Q_{0i} 、 Q_{1i} のゲートはワード線 W_i に接続され、トランジスタ Q_{2i} 、 Q_{3i} のゲートはワード線 W_i に接続されている。ワード線 W_2 、 W_3 に接続された情報記憶用のトランジスタが第2のワードブロックを構成しており、ブロック選択線 BS_i の論理レベルを「H」にすると、トランジスタ $Q_{S_{0i}}$ 、 $Q_{S_{1i}}$ が導通して第2のワードブロックが選択される。【0007】ブロック選択信号 A_0 及びワード選択信号 A_1 はアドレス入力を構成するもので、信号 A_0 はインバータ IV_0 を介してブロック選択線 BS_i に供給されると共にインバータ IV_{01} 、 IV_{02} を介してブロック選択線 BS_i に供給される。また、信号 A_1 は、インバータ IV_{01} 、 IV_{02} をそれぞれ介してワード線 W_0 、 W_1 に供給されると共にインバータの組 $IV_{10} - IV_{11}$ 、 $IV_{20} - IV_{21}$ をそれぞれ介してワード線 W_2 、 W_3 に供給される。【0008】ビット線 B_i 、 B_j には、それぞれ抵抗 R_0 、 R_1 を介して電源電圧 V_{DD} が印加され、アドレス入力(A_0 、 A_1)に応じてデータ出力 D_0 、 D_1 が得られるようになっている。一例として、ブロック選択信号 A_0 を「H」とし、ワード選択信号 A_1 を「L」とすると、ブロック選択線 BS_i が「H」となってトランジスタ $Q_{S_{0i}}$ 、 $Q_{S_{1i}}$ が導通すると共にワード線 W_i が「H」となってトランジスタ Q_{0i} 、 Q_{1i} が導通する。この状態では、ワード線 W_j が「L」であり、トランジスタ Q_{2i} 、 Q_{3i} の記憶情報がデータ出力 D_0 、 D_1 として読出される。例えば、トランジスタ Q_{20} 、 Q_{30} のうち Q_{20} のみデプレッションモードであれば、ビット線 B_0 、 B_1 がそれぞれ接地電位、電源電位 V_{DD} となり、データ出力 D_0 、 D_1 としてそれぞれ「L」、「H」が得られる。

【0009】図12は、図11のROMの集積化構造の一部を示すもので、図12のX-X'線断面は図13に示されている。図12、13において、図11と同様の部分には同様の符号を付してある。

【0010】P型半導体基板10の表面には、選択酸化処理により素子間分離用の SiO_2 等の絶縁層 L_1 、 L_2 、 L_3 が並列的に形成され、絶縁層 $L_1 - L_3$ 間及び

L_1-L_2 間の基板表面には SiO_2 等のゲート絶縁膜12が形成される。絶縁層 L_1 、 L_2 に交差するように $W_0 \sim W_3$ 、 BS_1 、 BS_2 等のワード線乃至ブロック選択線用の導電層（例えばポリシリコンからなるもの）が形成される。

【0011】絶縁層 $L_1 \sim L_2$ とワード線乃至ブロック選択線用の導電層とをマスクとして基板表面に選択的にN型決定不純物を導入することにより図12でトランジスタ QS_{10} 、 Q_{10} 、 Q_{11} について例示するように $N_1 \sim N_4$ 等のソース乃至ドレイン用の N^+ 型領域が形成される。ここで、 N_1 はトランジスタ QS_{10} のソース用の N^+ 型領域、 N_2 はトランジスタ QS_{10} のドレインとトランジスタ Q_{10} のソースとに兼用の N^+ 型領域、 N_3 はトランジスタ Q_{10} のドレインとトランジスタ Q_{11} のソースとに兼用の N^+ 型領域、 N_4 はトランジスタ Q_{11} のドレイン用の N^+ 型領域である。

【0012】基板上面には、図13に示すように層間絶縁膜14を介して B_0 、 B_1 、 $GND_0 \sim GND_2$ 等のビット線乃至接地側電源線用の導電層が形成され、これらの導電層は、ワード線乃至ブロック選択線用の導電層と交差するように配置される。

【0013】図12において、ビット線 B_0 、 B_1 としての導電層は、それぞれコンタクト部 P_0 、 P_1 にてトランジスタ Q_{10} 、 Q_{11} のドレイン領域と接続される。また、接地側電源線 GND_0 、 GND_1 としての導電層は、それぞれコンタクト部 E_0 、 E_1 にてトランジスタ QS_{10} 、 QS_{11} のソース領域と接続される。

【0014】

【発明が解決しようとする課題】上記した従来技術によると、素子間分離用の絶縁層 $L_1 \sim L_2$ を形成する際に横方向の酸化により絶縁層端縁にいわゆるバズピークが生じてトランジスタ形成領域を狭くする。従って、所望の広さのトランジスタ形成領域を確保するためには、酸化マスクの幅を大きくして L_1 、 L_2 間等の隣り合う絶縁層間隔を大きくする必要があった。また、図13に示すようにビット線 B_0 、 B_1 としての導電層と接地側電源線 $GND_0 \sim GND_2$ としての導電層とを同一の配線レベルで交互に配置するので、このような配置が可能になる限度でしかビット線間隔や電源線間隔を減少させることができなかった。これらの理由により、従来装置では集積度を向上させるのが困難であった。

【0015】この発明の目的は、高集積度の半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】この発明による半導体記憶装置は、(a)半導体基板と、(b)この半導体基板の表面にゲート絶縁膜を介して形成された素子間分離用のゲート電極層であって、一方の電源配線層として使用されるものと、(c)前記半導体基板の表面及び前記ゲート電極層から電気的に絶縁された状態で該ゲート電極

層に重なり且つ交差するように形成されたワード線用の導電層と、(d)前記半導体基板の表面において前記素子間分離用のゲート電極層の一方側及び他方側にそれぞれ形成された情報記憶用の第1及び第2の絶縁ゲート型トランジスタであって、各々のゲート電極層が前記ワード線用の導電層により構成されると共に各々のソース領域が前記素子間分離用のゲート電極層に電気的に接続されるものと、(e)前記導電層を覆う絶縁膜の上に形成された第1及び第2のビット線用の導電層であって、それぞれ前記第1及び第2の絶縁ゲート型トランジスタのドレイン領域と電気的に接続されるものとをそなえ、前記素子間分離用のゲート電極層に所定の電源電位を与えて該ゲート電極層を前記一方の電源配線層として使用するとき該ゲート電極層の直下の半導体表面領域が非導通状態になるようにしたことを特徴とするものである。

【0017】

【作用】この発明の構成によれば、絶縁ゲート構造を用いて第1及び第2の絶縁ゲート型トランジスタを電気的に分離するようにしたので、選択酸化による分離構造を用いた場合のように横方向酸化の問題がなく、被分離トランジスタ間隔を狭くすることができる。

【0018】また、素子間分離用のゲート電極層を一方の電源配線層として用いると共に該電源配線層より上方の配線レベルにビット線用導電層を形成するようにしたので、被分離トランジスタ間隔の減少に合わせてビット線用導電層間隔を減少させることができる。

【0019】

【実施例】図1は、この発明の一実施例によるMOS型ROMを示すもので、図1の $X1-X1'$ 線、 $X2-X2'$ 線、 $X3-X3'$ 線に沿う断面はそれぞれ図2、図3、図4に示されている。図1～4において、図11～13と同様の部分には同様の符号を付して詳細な説明を省略する。

【0020】図1～4において、P型半導体基板20の表面には、ゲート絶縁膜22A、22B、22Cをそれぞれ介して素子間分離用のゲート電極層 GT_0 、 GT_1 、 GT_2 が並列的に形成されている。基板表面には、図1の E_0 、 E_1 等のコンタクト部に対応して図4に示すようにソースコンタクト用の N^+ 型領域26が形成されており、 $GT_0 \sim GT_2$ 等の各ゲート電極層は26等の対応する N^+ 型領域にオーミック接触することにより接地側の電源配線層として使用されるようになっている。

【0021】 $GT_0 \sim GT_2$ 等の各ゲート電極層は、接地電位を印加した状態でその直下の半導体表面領域を非導通にしやうにスレッショルド電圧が高くなるような仕事関数を有する材料で構成するのが好ましい。また、 $GT_0 \sim GT_2$ 等の各ゲート電極層を高融点金属材料で構成すると、接地側の配線抵抗を低減することができる。

【0022】 $GT_1 \sim GT_i$ 等の各ゲート電極層は、層間絶縁膜34で被覆されている。基板表面において、22A~22C等のゲート絶縁膜及び E_1, E_i 等のコンタクト部を形成した個所以外の部分には、絶縁膜36が形成されている。ブロック選択線 BS_1, BS_i 及びワード線 $W_1 \sim W_i$ としての導電層は、絶縁膜34、36の上でゲート電極層 $GT_1 \sim GT_i$ に交差するように形成されている。絶縁膜36において、ブロック選択線及びワード線としての導電層の直下に位置する部分は、 $QS_{11} \sim QS_{i1}, Q_{11} \sim Q_{i1}$ 等のトランジスタのゲート絶縁膜として用いられるもので、図2にはトランジスタ Q_{11}, Q_{i1} のゲート絶縁膜36A、36Bが示されている。すなわち、ブロック選択線及びワード線としての導電層において、36A、36B等のゲート絶縁膜の上に位置する部分が Q_{11}, Q_{i1} 等のトランジスタのゲート電極層として作用する。

【0023】ブロック選択線 BS_1, BS_i 及びワード線 $W_1 \sim W_i$ としての導電層と22A~ GT_i ~34等のゲート積層とをマスクとして基板表面に選択的にN型決定不純物を導入するなどの方法によりソース乃至ドレイン用の N^+ 型領域が形成される。図1、3、4において、40Aはトランジスタ QS_{11} のソース用の N^+ 型領域、40aはトランジスタ Q_{11} のソースとトランジスタ Q_{11} のドレインとに兼用の N^+ 型領域、40bはトランジスタ Q_{11} のソースとトランジスタ Q_{i1} のドレインとに兼用の N^+ 型領域であり、 N^+ 型領域40B~40Dについては図9を参照して後述する。なお、トランジスタ QS_{11} のソース用の N^+ 型領域40Aは、図4に断面構造を示すように、前述したソースコンタクト用の N^+ 型領域26と接続された形で形成されている。

【0024】基板上面には、22A~ GT_i ~34等のゲート積層及び絶縁膜36を覆って層間絶縁膜42が形成され、この絶縁膜42の上には、ブロック選択線 BS_1, BS_i 及びワード線 $W_1 \sim W_i$ としての導電層に重なり且つ交差するようにビット線 B_1, B_i としての導電層が形成されている。

【0025】上記した構成において、 $GT_1 \sim GT_i$ 等の各ゲート電極層に接地電位を与えて該ゲート電極層を接地側電源配線層として用いると、各ゲート電極層の直下の半導体表面領域が非導通状態になり、 $Q_{11} \sim Q_{i1}$ 等のトランジスタ間が電氣的に分離される。このような素子間分離構造では、 $GT_1 \sim GT_i$ 等のゲート電極層の加工限界近くまでゲート間隔（又は接地側電源配線間隔）を減少可能である。また、ビット線 B_1, B_i としての導電層は、 $GT_1 \sim GT_i$ 等のゲート電極層とは配線レベルを異にしているので、ゲート間隔の減少に合わせてビット線間隔を減少可能である。従って、図12、13に示した従来構造に比べて大幅に集積度を向上させることができる。

【0026】図5-10は、図1のROMの製法の一例

を示すものであって、図1のY-Y'線断面を示している。

【0027】図5の工程では、P型シリコン等の半導体基板20の表面に、熱酸化法等によりゲート絶縁用の SiO_2 等の絶縁膜22を形成する。そして、絶縁膜22上に E_1 等のコンタクト部のパターンに対応した開口部を有するレジスト層24を形成した後、このレジスト層24をマスクとする選択エッチング処理により絶縁膜22にコンタクト孔22aを形成する。この後、選択的イオン注入処理等によりコンタクト孔22aを介して基板表面にN型決定不純物を導入することによりソースコンタクト用の N^+ 型領域26を形成する。

【0028】次に、図6の工程では、基板上面に例えばポリシリコン等のゲート材料をCVD法等により堆積して導電層28を形成した後、導電層28の上に SiO_2 等の絶縁材を堆積して絶縁膜30を形成する。そして、絶縁膜30の上に所望のゲートパターンに対応したレジスト層32を配置する。

【0029】次に、図7の工程では、レジスト層32をマスクとする選択エッチング処理により絶縁膜30及び導電層28の積層をパターンニングして膜30の一部30A及び層28の一部28Aからなる積層パターンを残存させる。そして、基板上面に SiO_2 等の絶縁膜を被着した後該絶縁膜を異方性エッチングによりエッチバックして30A~28A等の積層パターンの両側に該絶縁膜の残存部からなるサイドスペーサA1、A2を形成する。また、このときのエッチング処理により絶縁膜22を選択的に除去し、 E_1 等のコンタクト部以外の基板表面において絶縁膜34の下方に絶縁膜22の一部22A等をゲート絶縁膜として残存させる。

【0030】絶縁膜30の一部30A及びサイドスペーサA1、A2を含む絶縁膜を便宜上一括して符号「34」で示すと、ゲート電極層 GT_i はその両側面及び上面が絶縁膜34で覆われることになる。ゲート電極層 GT_i は、コンタクト部 E_i にて N^+ 型領域26とオーミック接触する。

【0031】次に、図8の工程では、基板表面に熱酸化法等によりゲート絶縁用の SiO_2 等の絶縁膜36を形成した後、基板上面にポリシリコン等のゲート材料を堆積して導電層38を形成する。そして、導電層38の上に所望のワード線パターンに対応したレジスト層40A~40Cを配置する。

【0032】次に、図9の工程では、レジスト層40A~40Cをマスクとする選択エッチング処理により導電層38をパターンニングし、導電層38の部分38A~38Cを残存させる。ここで、導電層部分38A、38B、38Cは、それぞれブロック選択線 BS_i 、ワード線 W_1 、ワード線 W_i として用いられるものであり、各々の部分の下に位置する絶縁膜36の部分36a、36b、36cはいずれもゲート絶縁膜として作用する。こ

の後、ブロック選択線及びワード選択線用の導電層と絶縁膜34とをマスクとする選択的イオン注入処理により基板表面にN型決定不純物を導入してソース乃至ドレイン用のN⁺型領域を形成する。

【0033】図9及び図1において、40AはトランジスタQ_{S10}のソース用のN⁺型領域、40BはトランジスタQ_{S10}のドレインとトランジスタQ_{S11}のソースとに兼用のN⁺型領域、40CはトランジスタQ_{S10}のドレインとトランジスタQ_{S11}のソースとに兼用のN⁺型領域、40DはトランジスタQ_{S11}のドレインとトランジスタQ_{S10}のドレインとに兼用のN⁺型領域である。

【0034】次に、図10の工程では、基板上面に絶縁膜34、36、ブロック選択線BS₁、BS₂、ワード線W₁、W₂等を覆うように層間絶縁膜42を形成した後、選択エッチング処理によりP₁等のコンタクト部に対応したコンタクト孔を絶縁膜42、36に形成する。この後、絶縁膜42上にAl合金等の配線材を被着してパターニングすることによりビット線B₀、B₁としての導電層を形成する。このとき、ビット線B₀としての導電層は、N⁺型領域40Dとコンタクト部P₁にてオーミック接触する。

【0035】上記した製法によると、図7の工程でゲート電極層GT₁を絶縁膜34で覆った後図9の工程で38A～38C等の導電層及び絶縁膜34をマスクとする選択的不純物導入処理によりソース乃至ドレイン領域を形成するようにしたので、ソース乃至ドレイン領域はゲート電極層（接地側電源配線層）、ブロック選択線及びワード線に対して自己整合の配置となり、高い集積度を得られる。

【0036】

【発明の効果】以上のように、この発明によれば、素子間分離用のゲート電極層を設けると共にこのゲート電極層を一方の電源配線層として用いることにより被分離ト

ランジスタ間の間隔及びビット線間の間隔を減少させるようにしたので、高集積度の半導体記憶装置を実現可能となる効果が得られるものである。

【図面の簡単な説明】

【図1】 この発明の一実施例によるMOS型ROMの一部を示す基板上面図である。

【図2】 図1のX1-X1'線に沿う基板断面図である。

【図3】 図1のX2-X2'線に沿う基板断面図である。

【図4】 図1のX3-X3'線に沿う基板断面図である。

【図5】～

【図10】 図1のROMの製法の一例を示すものであって、図1のY-Y'線に沿う基板断面図である。

【図11】 従来のMOS型ROMの一例を示す回路図である。

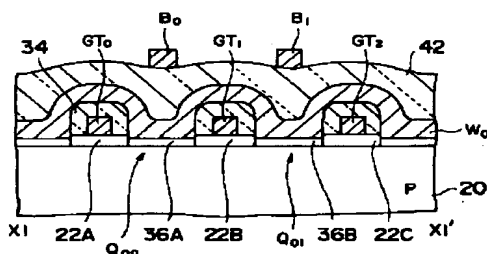
【図12】 図11のROMの一部を示す基板上面図である。

【図13】 図12のX-X'線に沿う基板断面図である。

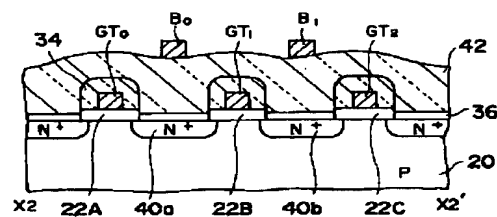
【符号の説明】

20：P型半導体基板、22、30、34、36、42：絶縁膜、22A～22C、36A、36B、36a～36c：ゲート絶縁膜、26：ソースコンタクト用N⁺型領域、40A：ソース用N⁺型領域、40B、40C、40a、40b：ソース・ドレイン用N⁺型領域、40D：ドレイン用N⁺型領域、Q_{S10}～Q_{S11}：情報記憶用絶縁ゲート型トランジスタ、Q_{S10}～Q_{S11}：ブロック選択用絶縁ゲート型トランジスタ、GT₁～GT₂：素子間分離用ゲート電極層（接地側電源配線層）、B₀、B₁：ビット線、W₁～W₂：ワード線、BS₁、BS₂：ブロック選択線。

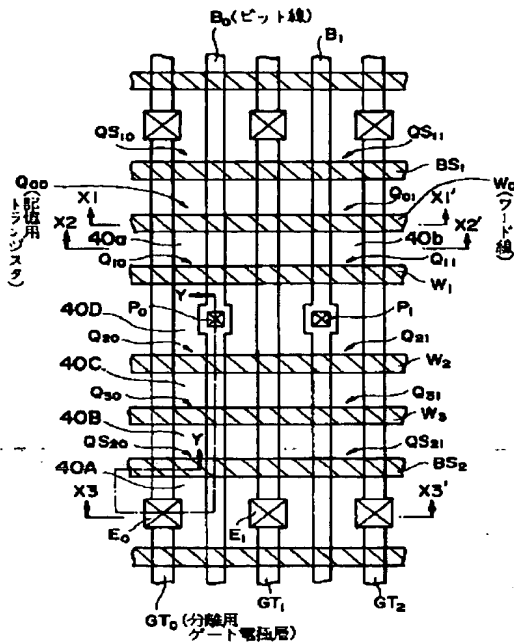
【図2】



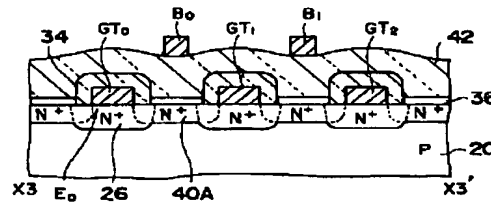
【図3】



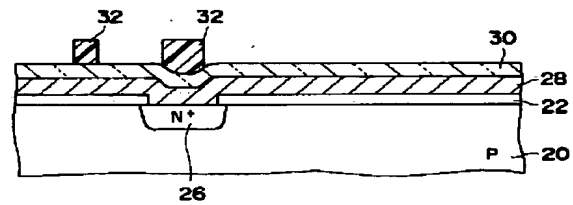
【図1】



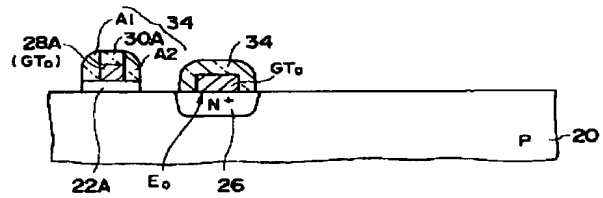
【図4】



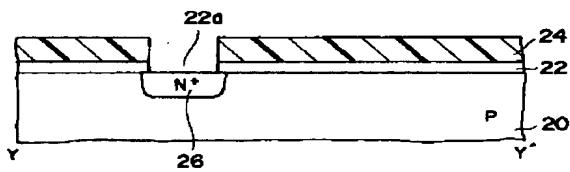
【図6】



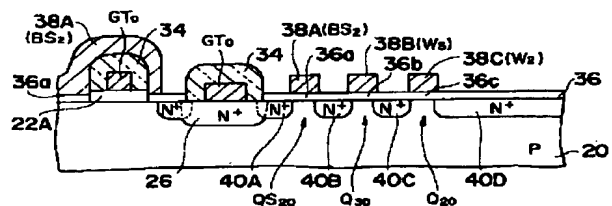
【図7】



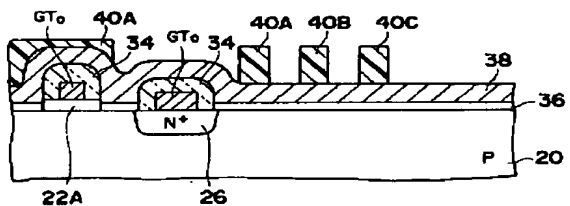
【図5】



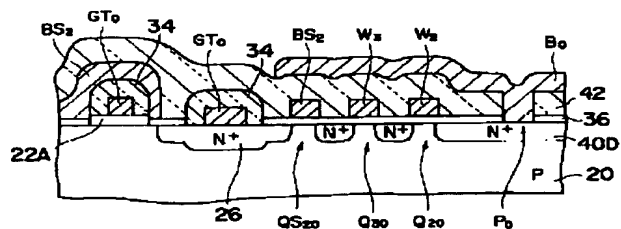
【図9】



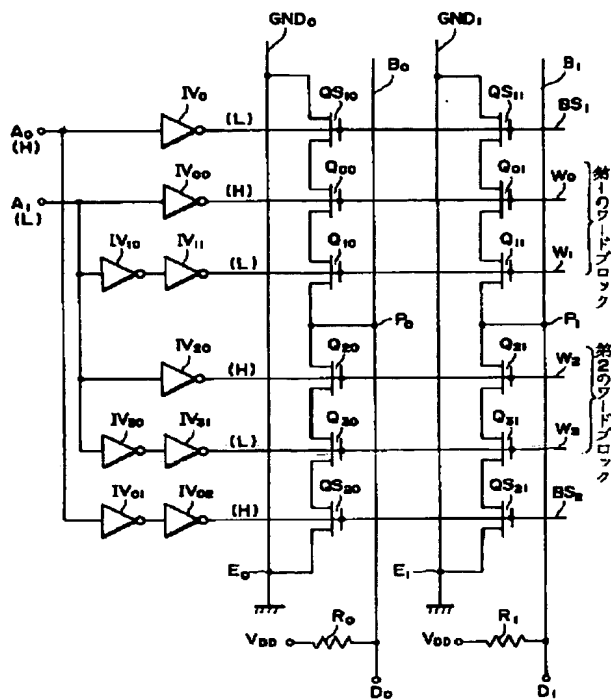
【図8】



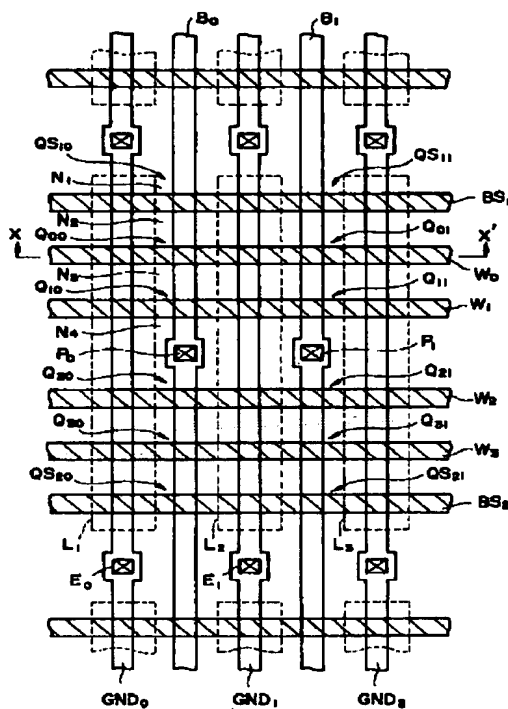
【図10】



【図11】



【図12】



【図13】

